

MENU

SEARCH

INDEX

DETAIL

1/1



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11)Publication number: 10326783

(43)Date of publication of application: 08.12.1998

(51)Int.Cl.

H01L 21/3205

H01L 21/768

H01P 3/08

(21)Application number: 09136300

(71)Applicant:

TOSHIBA CORP

(22)Date of filing: 27.05.1997

(72)Inventor:

HIGUCHI KAZUTO

TAKAGI AYAKO

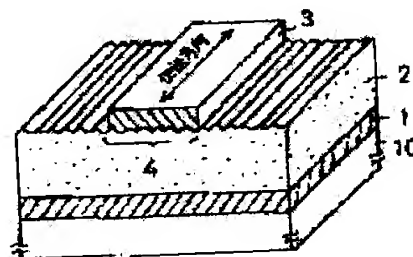
MIYAGI TAKESHI

(54) WIRING STRUCTURE, SEMICONDUCTOR DEVICE USING THE WIRING STRUCTURE AND CIRCUIT WIRING BOARD

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain a wiring structure which reduces a conductor loss, by a method wherein the maximum roughness of irregularities in the transmission direction of a signal line faced with a grounding conductor is made smaller than that in its vertical direction.

SOLUTION: Irregularities whose maximum roughness is about $1 \mu\text{m}$ are formed in a vertical direction to the transmission direction of an interaction on the surface faced with a grounding conductor 1 of a signal line 3 formed on an insulator 2. Its value is sufficiently large when it is taken into consideration that the thickness δ of a surface film at 60 GHz is $0.27 \mu\text{m}$, and it contributes largely to reduction of a conductor loss due to an increase in the surface area of a conductor. In addition, irregularities whose maximum roughness is about $0.1 \mu\text{m}$ are formed in a direction parallel to the transmission direction. Its value corresponds to only $1/5000$ of a wavelength of 5 mm at 60 GHz, and an increase is a loss due to reflected waves of a characteristic impedance caused by the uneven parts of a transmission line is hardly generated. That is to say, the insertion loss of an interconnection is reduced largely so as to be suppressed to a loss of about 5% at 60 GHz. Irregularities along the direction of an interconnection are formed on a face faced with the grounding conductor of the signal line, and the conductor loss is reduced without increasing a conductor width.



LEGAL STATUS

[Date of request for examination]
[Date of sending the examiner's decision of rejection]
[Kind of final disposal of application other than the
examiner's decision of rejection or application converted
registration]
[Date of final disposal for application]
[Patent number]
[Date of registration]
[Number of appeal against examiner's decision of rejection]
[Date of requesting appeal against examiner's decision of
rejection]
[Date of extinction of right]

Copyright (C): 1998 Japanese Patent Office

MENU

SEARCH

INDEX

DETAIL

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-326783

(43) 公開日 平成10年(1998)12月8日

(51) Int.Cl.⁶

識別記号

H 0 1 L 21/3205

21/768

H 0 1 P 3/08

F I

H 0 1 L 21/88

A

H 0 1 P 3/08

H 0 1 L 21/90

B

審査請求 未請求 請求項の数4 O L (全 6 頁)

(21) 出願番号

特開平9-136300

(22) 出願日

平成9年(1997)5月27日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 樋口 和人

神奈川県横浜市磯子区新磯子町33番地 株式会社東芝生産技術研究所内

(72) 発明者 高木 亜矢子

神奈川県横浜市磯子区新磯子町33番地 株式会社東芝生産技術研究所内

(72) 発明者 宮城 武史

神奈川県横浜市磯子区新磯子町33番地 株式会社東芝生産技術研究所内

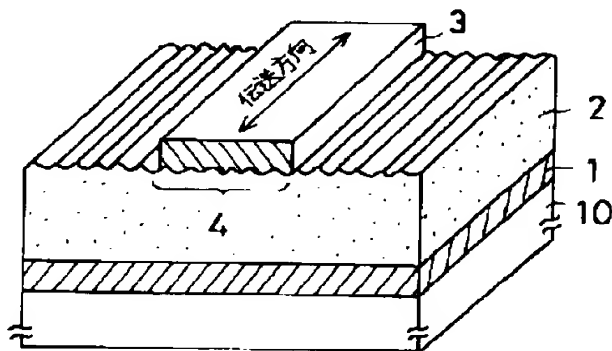
(74) 代理人 弁理士 外川 英明

(54) 【発明の名称】 配線構造、この配線構造を用いた半導体素子及び回路配線基板

(57) 【要約】

【課題】 伝送線路の導体幅を大きくすることなく、導体損を減ずることが可能な配線構造を提供する。また、この配線構造を用いて伝送特性の優れた線路を有する回路配線基板および半導体装置を提供する。

【解決手段】 マイクロストリップ構造の伝送線路において、信号線の地導体に向かい合う面に、伝送方向に対して平行する方向の凹凸が伝送方向に対して直行する方向の凹凸よりも大きくする。さらに、この配線構造を用いて回路配線基板あるいは半導体チップ上に配線を形成する。



【特許請求の範囲】

【請求項1】地導体と、この地導体に誘電体層を介して対向配置された信号線とを具備し、前記信号線の前記地導体に対向する面の前記信号線の伝送方向の凹凸の最大荒さか、前記伝送方向に直行する方向の凹凸の最大荒さよりも小さいことを特徴とする配線構造。

【請求項2】前記伝送方向の凹凸の最大荒さは前記信号線を通過する信号の波長の1/100以下、前記伝送方向に直行する方向の凹凸の最大荒さは、前記信号が前記信号線を通過する表皮の厚さ h 、 $1/59 \times (\pi/\Gamma)^{1/2}$ よりも大きいことを特徴とする請求項1記載の配線構造。ここで、 f は信号線を通過する信号の周波数(GHz)、 α は信号線の抵抗率($\mu\Omega \cdot \text{cm}$)を表す。

【請求項3】請求項1或いは請求項2記載の配線構造を素子構造内に有し、1GHz以上の周波数の交流信号を前記信号線に印加することを特徴とする半導体素子。

【請求項4】請求項1或いは請求項2記載の配線構造を基板上に有し、1GHz以上の周波数の交流信号を前記信号線に印加することを特徴とする回路配線基板。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は配線構造、半導体素子及び回路配線基板に関し、特に高周波領域で挿入損失が小さい高性能な配線構造及びこの配線構造を用いた半導体装置及び回路配線基板に関する。

【0002】

【従来の技術】近年、情報社会の進展に伴い、高速無線LAN(Local Area Network)、パーソナル衛星通信、など無線回線の需要が増大している。この要求に応えるために、例えば、瀧本による電子情報通信学会マイクロ波研究会資料MW94-128「ミリ波適用システムの開発・実用化動向」に記載されているように、通信帯域が広く、チャンネル数が多いとされるマイクロ波帯やミリ波帯の利用に向けた研究開発が盛んに行われている。従来これらの高周波領域では、回路配線基板内あるいは半導体チップ上の配線に信号線とこれに互い合う地導体から構成されるマイクロストリップ構造の伝送線路が多く用いられてきた(図16)。マイクロストリップ構造は、地導体1上に誘電体2を介して信号線3が形成された構造である。一般に誘電体2にはポリイミドやエポキシ、アルミナ等が用いられ、信号線3および地導体1には損失を抑えるために金や銅等の抵抗率の低い金属材料が用いられる。

【0003】一般にマイクロ波やミリ波(1GHz~300GHz)のように周波数が高くなると、表皮効果により配線の伝送損失(導体損)が大きくなることが知られている。図16に示すマイクロストリップ線路構造で信号線3を銅にした場合、周波数が10MHzで電流密度の60%以上が通過する領域は、信号線3の地導体3に対向する面から厚さ約20 μm である。これに対し1

00GHzでは、その厚さが0.2 μm 程度となる。そのため、高周波領域では電流の流れる断面積が減り、損失が大きくなってしまふ。したがって、マイクロ波やミリ波無線用の送受信器では、半導体チップ上あるいは回路配線基板上の素子と素子とを結ぶ伝送線路での損失をいかに低く抑えるかということが問題となっている。この問題を解決するために、信号線3の幅を大きくすれば良いことが知られている。図15はマイクロストリップ線路の信号線3の幅を変化させた場合の導体損の変化を示した図である。図15に示すように、導体損は配線幅Wの増加に伴い減少する。しかしながら、ある程度の損失に達すると信号線3の幅を増加させても損失は減少しなくなってしまふ。この状態を計算機を用いて電磁界解析すると、信号線3の端部11に電流が集中するエッジ効果が生じていることがわかる。すなわち、大部分の電流が信号線3の端部11に流れてしまふため、信号線幅に依存しなくなり、信号線幅を広くしても導体損を減少させる効果が薄れてしまふためである。また、信号線幅を大きくすると、物理的に回路寸法が大きくなってしまふ

10

20

30

40

50

たり、寄生容量が大きくなってしまふという問題もある。また従来のマイクロストリップ構造では、誘電体2の表面上を特に処理せず蒸着後マスクによって信号線3を形成している。このため信号線3の誘電体2と接する面は、特に凹凸のない平坦な面となっている。一方信号線3と誘電体2との密着性を高めるため、酸液プラズマ処理や薬液処理等により、誘電体2の表面に数nm~数 μm 程度の凹凸を形成する場合がある。この場合は、信号線の密着性を高めるために凹凸形状は当局的ランダムなものとなっている。ここで誘電体2の表面に凹凸を形成すると、信号線3の地導体1に対向する面の表面積を大きくすることができる。したがって信号の伝播する領域を実効的に大きくできることができ、導体損を小さくすることが期待できる。しかしながら、プラズマ処理や薬液処理で形成されるランダムな凹凸では、伝送方向に大きな凹凸が形成されてしまひ、高周波電流が通過する面の凹凸で反射が生じ逆に抵抗が大きくなることが分かった。

【0004】

【発明が解決しようとする課題】上述のように、従来の伝送線路の配線構造では、導体幅を大きくして導体損を小さくするには限界があった。また信号線の地導体に向かい合う面に無秩序に凹凸を形成するものでは伝送方向の凹凸に起因する反射による表面抵抗のため導体損を小さくすることができないことが分かった。

【0005】本発明は、以上の問題点を鑑みてなされたもので、効果的に導体損を減らすことが可能な配線構造及びこれを用いた半導体素子、回路配線基板を提供することを目的とする。

【0006】

【課題を解決するための手段】上記目的を達成するため

に、本発明は、地導体と、この地導体に誘電体層を介して対向配置された信号線とを具備し、前記信号線の前記地導体に対向する面の前記信号線の伝送方向の凹凸の最大粗さが、前記伝送方向に直行する方向の凹凸の最大粗さよりも小さいことを特徴とする配線構造を提供する。

【0007】また本発明は、前記伝送方向の凹凸の最大粗さは前記信号線を通過する信号の波長 λ の1/10以下、前記伝送方向に直行する方向の凹凸の最大粗さは、前記信号が前記信号線を通過する表面の厚さ $\delta = 1 - 5.9 \times (\lambda / f)^{1/4}$ よりも大きいことを特徴とする配線構造を提供する。ここで、 f は信号線を通過する信号の周波数(GHz)、 λ は信号線の抵抗率($\mu\Omega \cdot \text{cm}$)を表す。

【0008】また本発明は、前記配線構造を素子構造内に有し、1GHz以上の周波数の交流信号を前記信号線に印加することを特徴とする半導体素子を提供する。また本発明は、前記配線構造を基板上に有し、1GHz以上の周波数の交流信号を前記信号線に印加することを特徴とする回路配線基板を提供する。

【0009】

【発明の実施の形態】本発明者は、高周波装置の伝送線路における損失を小さくし、高性能な高周波機器を構築するため、伝送線路を構成する導体の表面に伝送線路に沿って方向性のある凹凸を形成した。この凹凸は、導体の表面積を増やし表皮効果による導体損を効果的に減少させるように作用する。また伝送方向に形成される凹凸は多重反射を防ぐためにないほうが好ましく、凹凸の最大粗さを凹凸間の最大距離 R_{max} とすると、 R_{max} は高周波信号の波長の1/100であれば、多重反射による導体損を防げることが分かった。

【0010】また伝送方向に対して直行する方向においては、信号線の表面積を増加させ効果的に導体損を減少させるために、 R_{max} は表皮の厚さ(δ)よりも大きいことが好ましい。ここで、 δ は伝送線路を通過する信号の周波数(f)および導体に用いる金属の抵抗率(ρ)により決まるもので、次式により表される。

$$\delta = 1 - 5.9 \times (\rho / f)^{1/2}$$

但し、上式の f はGHz、 ρ は $\mu\Omega \cdot \text{cm}$ の単位である。なお伝送方向に方向性を有する凹凸は、導体あるいは絶縁体表面をバフ研磨することにより形成することかできる。バフ研磨法は数十 μm 径のアルミ等の砥粒が表面に固定されたポリウレタンを回転させ、工作物と接触させて工作物の表面を研磨する方法である。このとき工作物を一方向に送りながら研磨することにより方向性のある溝状の凹凸を形成することができる。

【0011】以下に本発明の実施例を示す。尚、本発明は以下の実施形態に限定されることなく、種々変更して用いることができる。本発明の第1の実施例を図面を参照して詳細に説明する。

【0012】図1は本発明による配線構造を応用した最

も基本的なマイクロストリップ線路の部分的な斜視図を示している。図1に示すように、この配線構造は、セラミックや樹脂等の基板10上に形成された地導体1、この地導体1上に形成された絶縁体(誘電体)2、およびこの絶縁体2上に形成された信号線3からなる。

【0013】信号線3の地導体1に向かい合う表面4には凹凸が設けられている。この凹凸は伝送方向に直行する方向には大きく、平行する方向には小さい(ほぼない)になっている。以上の構成を半いて、60GHz帯のミリ波を送受信するフェーズドビーム形成回路の2層回路配線基板を作製した。図2はこの回路配線基板の断面図を示す。第1配線層3および第2配線層9は、基板10上の地導体1を共通としてそれぞれマイクロストリップ線路を構成している。また、図3および図4は第2配線層9および第1配線層3のパターンをそれぞれ示している。それぞれの配線層における配線は、主に一方向に向いており互いに直行している。図5から図11に、上記配線回路の製造工程を示す。

【0014】まず、図5に示すように、脱脂、バフ研磨、水洗等の前処理を行ったビスマレイミストリアンジン(BMI)を主材とした銅張層基板(CCL)10上に感光性バフ(フクロゲン)2のレジストをスピンコート法等により塗布し、約20 μm 厚の塗膜を形成する。その後、80℃で30分間加熱キュアを行い乾燥させ層間絶縁膜2を形成する。この後、露光・現像工程により所定の位置に凹部8を形成し、250℃で30分間キュアを行う。

【0015】キュア後、図6に示すように、BCB樹脂からなる層間絶縁膜2表面をバフ研磨法により研磨し凹凸4を形成する。バフの中心には平均粒径40 μm のアルミナ砥粒が固定されたものを用い、回転数2000rpm、基板送り速度2mm/分で行った。ここで、基板10を送る方向を、この後層間絶縁膜2上に形成する第1配線層の主たる配線の伝送方向と同じ向きとする。これにより、主たる配線の伝送方向に対して直行する方向には最大粗さ1 μm 程の凹凸が形成され、平行する方向には0.1 μm 程の凹凸が形成される。

【0016】次に、図7に示すように、層間絶縁膜2表面へ、蒸着法、スパッタリング法等によりチタン膜5および銅膜6を連続的に積層する。ここで銅膜6は、後述の電気めっき用の電極として作用するものであり、チタン膜5は銅膜6とBCB樹脂2との密着性を高める接着層として作用する。チタン膜5の膜厚は薄くてもよく、0.05 μm 程度で十分である。BCB樹脂と銅との密着力は低いが、チタン膜5を接着層として形成することにより、銅膜6の剥離を防止することができる。しかしながら、チタンは表面が酸化されやすいので、真空を破ることなく連続的に上層である銅膜6を形成することが好ましい。このようにしてチタン膜5と銅膜6とを形成することにより、自然酸化膜の存在を防止でき、密着方

5

が高い信号導体を得ることができる。次に、図8に示すように、銅膜6上にレジストをスピンコート法により塗布し、プリバークニングを行い、膜厚約5 μm のレジスト層7を形成する。その後、露光・現像によりレジストを配線パターンに加工する。この後、プリバークニング時の温度より若干高い温度でレジストバークニングを行い、銅膜6とレジスト膜7との密着性を高める。この後、図9に

硫酸銅5水和物

硫酸（比重1.84）

塩酸

ポリエチレングリコール（分子量約400000）80ppm

チオキサンテート-s-プロパンスルホン酸 40ppm

めっき条件は、液温25℃、電流密度1～5A/dm²とし、空気吹き出しによりめっき液を攪拌することにより、銅イオンの供給を十分に行う。

【0019】めっき膜厚が4 μm に達する時間を予め求めておき、その時間になったら通電を止め、基板をめっき装置から取り出し十分に水洗する。その後、レジスト

銅膜のエッチャント

過硫酸アンモニウム、硫酸、およびエタノールを含む混合溶液

チタン膜のエッチャント

EDTA、アモニア水、および過酸化水素水を含む混合溶液

次に図5から図10に示した工程を繰り返して図11に示す第2配線層9を形成する。第2配線層9を形成する際、バブ研磨装置に基板を通す方向は第2配線層9の主たる配線が伝送方向に平行な方向、すなわち第1配線層の方向とは直交する方向とする。第1配線層6および第2配線層9の信号線の地導体1に向かい合う側の面には、配線の伝送方向に対して直行する方向には最大粗さ1 μm 程の凹凸が形成されている。この値は、60GHzでの表皮の厚さが約0.27 μm であることを考慮すると十分であり、導体の表面積増加による導体損の減少に大きく貢献する。また、伝送方向に平行する方向には0.1 μm 程の凹凸が形成されているが、この値は60GHzでの波長5mmの1/5000にしか相当しないため、伝送回路の凹凸に起因する特性インピーダンスの反射皮による損失の増加は殆ど生じない。すなわち、これら配線の挿入損失は大きく減少する。図12に、こうして得られた回路配線基板の挿入損失の周波数依存性を測定した結果を示す。曲線aは配線にランダムな凹凸のある従来の回路配線基板、bは本発明による配線基板の挿入損失の特性を示す。従来の配線では、マイクロストリップ線路の信号線の地導体に向かい合う面の凹凸に方向性は無く、最大粗さは約0.2 μm である。図12に示すように、どちらの配線構造においても表皮効果により周波数の増加に伴い挿入損失は増加する。しかしながら、本発明による配線構造では、数GHz以上の周波数領域において挿入損失は従来の配線構造に比べ小さくなっている。本発明では、60GHzで約15%損失に抑えている。

6

示すように、銅膜6を陰極として、銅を電気めっきして第1配線層3を形成する。めっきはレジスト7の付いていない部分にのみ選択的に成長する。電気めっきを行うに当たって、電気めっき装置の陰極に、銅膜6を接続し、陽極としてより、銅板を使用する。なお、めっき液は、下記の組成の溶液を使用した。

【0018】

7.5g/L

180g/L

0.15mL/L

膜7をアセトン等により溶解・除去する。

【0020】次に、図10に示すように、第1配線層3以外の銅膜6およびチタン膜5をエッチングし除去する。各膜の除去に用いられるエッチャントとしては、それぞれ次に示す混合溶液を用いることができる。

【0021】（実施例2）本発明の第2の実施例を図面を参照して詳細に説明する。図13は本発明による配線構造を半導体チップ上に形成した半導体装置の斜視図を示している。この半導体装置は実施例1における基板として、半導体素子21方法で形成する。半導体ウェハ21上に地導体1を形成し、この地導体1上に絶縁膜2を形成する。次にこの絶縁膜2をバブ研磨によって、配線方向に溝を形成する。次にA1膜を蒸着により形成し、露光現像してA1配線3を形成した。本実施例では半導体ウェハ21として、直径3インチ、厚さ300 μm のGaAsウェハを使用した。半導体ウェハ21上にはHEMT素子からなる4mm口のチップが連続して形成されており、チップ内の素子間の配線として部分的に本発明の配線構造を用いている。以上、本発明の実施の形態を説明したが、本発明は上述の実施の形態に限定されるものではない。本発明の要旨を逸脱しない範囲で種々の変形ができる。実施例1および実施例2では配線に図1に示すような基本的なマイクロストリップ構造を用いたが、図14に示すようにマイクロストリップ線路の信号配線3の地導体1に向かう面を連続した曲面で構成した場合、高周波領域で問題となる配線端部の電流集中が緩和され、挿入損失がさらに減少する。2は絶縁膜である。さらに、配線の形成方法として蒸着法を、誘電体膜の形成方法としてスピンコート法を用いたが、この方法に限定されない。

【0022】また、配線金属材料、誘電体、基板、半導体ウェハ、エッチング液等はその材質、工法などに関して種々変更して用いることができ、さらに、配線の層

数、パターン形状も前記例示に限定されないことは無論である。

【0023】

【発明の効果】以上述べたように、本発明の配線構造によれば、マイクロストリップ線路における信号線の地導体に向かい合う面に配線方向に沿って凹部を形成し配線の表面積を増加させるため、導体損を減ずることができる。

【図面の簡単な説明】

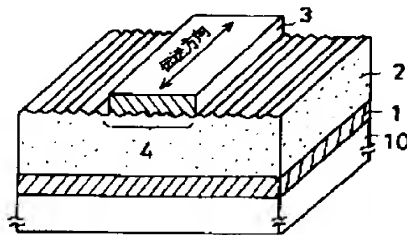
- 【図1】 本発明の配線構造の概略を示す図
 【図2】 本発明の回路配線基板の概略を示す図
 【図3】 本発明の回路配線基板の製造工程を示す図
 【図4】 本発明の回路配線基板の製造工程を示す図
 【図5】 本発明の回路配線基板の製造工程を示す図
 【図6】 本発明の回路配線基板の製造工程を示す図
 【図7】 本発明の回路配線基板の製造工程を示す図
 【図8】 本発明の回路配線基板の製造工程を示す図
 【図9】 本発明の回路配線基板の製造工程を示す図
 【図10】 本発明の回路配線基板の製造工程を示す図

- 【図11】 本発明の回路配線基板の製造工程を示す図
 【図12】 本発明の回路配線基板の電気特性を示す図
 【図13】 本発明の半導体装置の概略を示す図
 【図14】 本発明の配線構造の概略を示す図
 【図15】 従来の配線構造の電気特性を示す図
 【図16】 従来の配線構造の概略を示す図

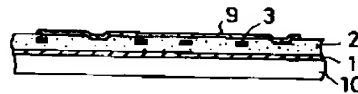
【符号の説明】

- 1…地導体
 2…絶縁体
 3…信号導体
 4…信号導体の地導体に向かい合う面
 5…チタン膜
 6…銅膜
 7…レジスト層
 8…ビア穴
 9…第2の配線
 10…基板
 11…配線の端部
 21…半導体ウェハ

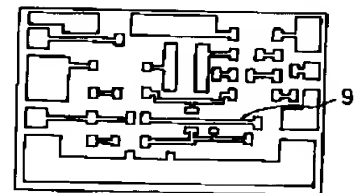
【図1】



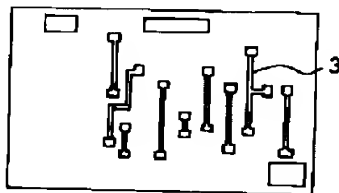
【図2】



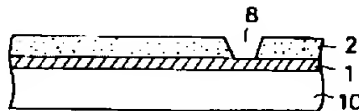
【図3】



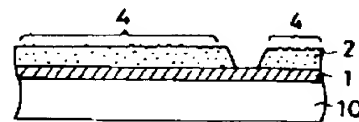
【図4】



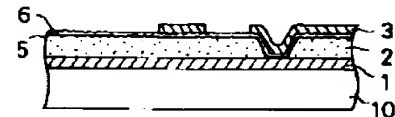
【図5】



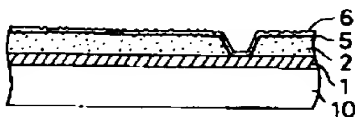
【図6】



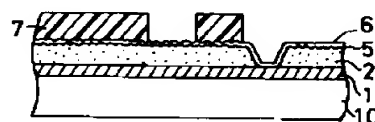
【図9】



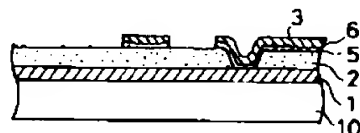
【図7】



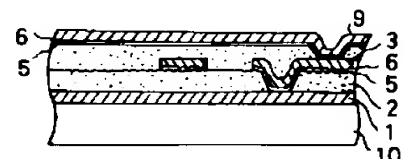
【図8】



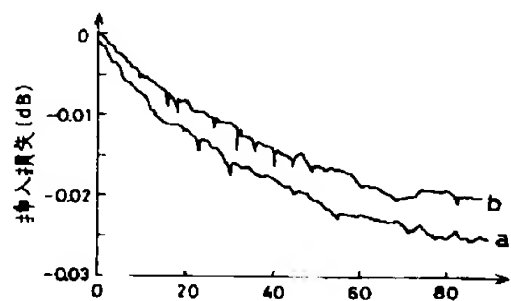
【図10】



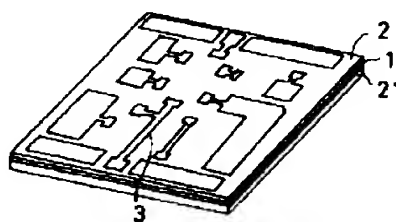
【図11】



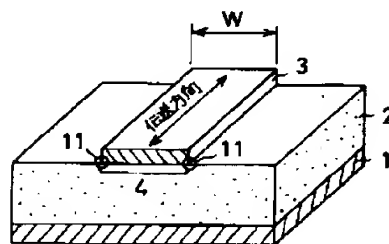
【図12】



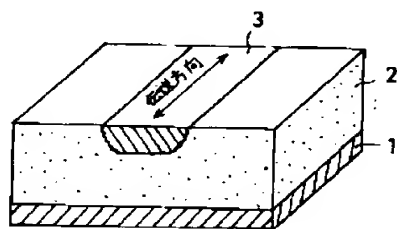
【図13】



【図16】



【図14】



【図15】

